

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216752

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H03K 19/0185

H03K 17/10

H03K 17/687

H03K 19/003

(21)Application number : 05-303313

(71)Applicant : SUN MICROSYST INC

(22)Date of filing : 10.11.1993

(72)Inventor : ROGERS ALAN C

(30)Priority

Priority number : 92 974100

Priority date : 10.11.1992

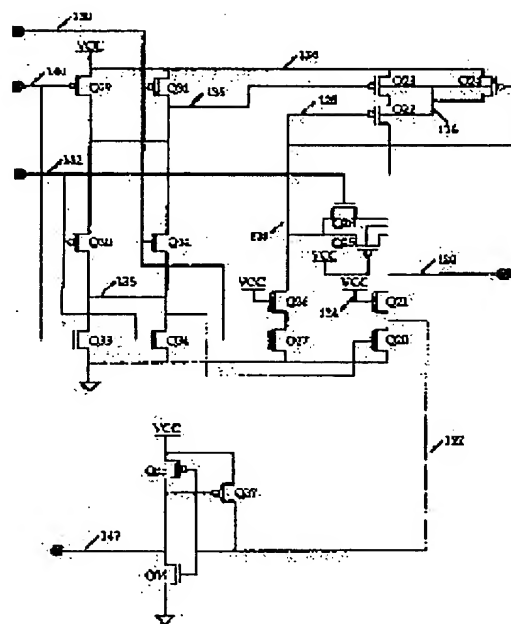
Priority country : US

(54) VOLTAGE INTERFACE CIRCUIT FOR INTEGRATED CIRCUIT, AND METHOD FOR INTERFACING INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To interface a low voltage circuit to a high voltage environment by adopting the new n-type well bias of separate circuit and MOSTr for a voltage interface circuit in order to drive the high voltage environment in the fluctuation of low voltage.

CONSTITUTION: This voltage interface circuit for interfacing an integrated circuit, which is operated by a VCC power supply voltage, to the higher voltage environment can drive the higher voltage circuit or bus recognizing the fluctuation of VCC voltage through the integrated circuit. The voltage interface circuit is composed of a three-state control part, output pull-up part, output pull-up control part and input part and the output pull-up part is composed of pchTrQ23 and pchTrQ24. The n-type well of TrQ22 is floated. When an n-type well 126 is to be connected to the VCC, with the increase of voltage at an output node 120 toward 5 V, a current increasing p-n junction between the drain of TrQ22 and the n-type well is let flow, the voltage at an n-type well 126 is increased higher than Vcc and the junction disconnection of Q22-Q24 keeps a functional state.



LEGAL STATUS

[Date of request for examination]

10.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 3440454

[Date of registration] 20.06.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

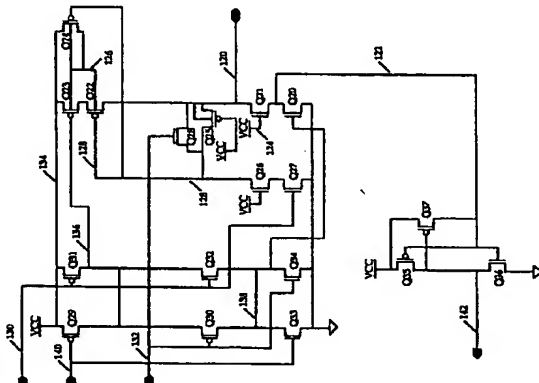
| (51)IntCl. ⁸ | | F I | | 技術表示箇所 | |
|--|---------|--|--------|--|--------|
| H 0 3 K | 19/0185 | 特許庁 | 特許庁 | 特許庁 | 特許庁 |
| 17/10 | 17/10 | 17/10 | 17/10 | 17/10 | 17/10 |
| 17/687 | 17/687 | 17/687 | 17/687 | 17/687 | 17/687 |
| H 0 3 K 19/00 1 0 1 B | | H 0 3 K 19/00 1 0 1 B | | H 0 3 K 19/00 1 0 1 B | |
| 7436-5 J | | 7436-5 J | | 7436-5 J | |
| 審査請求 | | 未請求 | | 未請求 | |
| 審査請求 | | 未請求 | | 未請求 | |
| 請求項の数 3 F D (全 9 頁) 最終頁に続く | | 請求項の数 3 F D (全 9 頁) 最終頁に続く | | 請求項の数 3 F D (全 9 頁) 最終頁に続く | |
| (71)出願人 | | 591064003 | | サン・マイクロシステムズ・インコーポレートッド | |
| (72)発明者 | | アラン・シイ・ロジャーズ | | アラン・シイ・ロジャーズ | |
| (74)代理人 | | 井理士 山川 政樹 | | 井理士 山川 政樹 | |
| 特願平5-303313 | | 特願平5-303313 | | 特願平5-303313 | |
| 平成 5 年(1993)11月10日 | | 平成 5 年(1993)11月10日 | | 平成 5 年(1993)11月10日 | |
| (31)優先権主張番号 | | 9 7 4, 1 0 0 | | 9 7 4, 1 0 0 | |
| (32)優先日 | | 1992年11月10日 | | 1992年11月10日 | |
| (33)優先権主張国 | | 米国 (U S) | | 米国 (U S) | |
| S U N M I C R O S Y S T E M S, I N C O R P O R A T E D | | S U N M I C R O S Y S T E M S, I N C O R P O R A T E D | | S U N M I C R O S Y S T E M S, I N C O R P O R A T E D | |
| アメリカ合衆国 94043 | | アメリカ合衆国 94043 | | アメリカ合衆国 94043 | |
| カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー 2550 | | カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー 2550 | | カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー 2550 | |
| 983 | | 983 | | 983 | |

54)【発明の名称】 乗積回路用電圧インタフェース回路および乗積回路をインタフェースする方法

57) 【要約】

【目的】 低電圧トランジスタのみを含んでいる低電圧インタフェース・バッファを高電圧環境へインタフェースするための電圧

【構成】 低電圧の振れにおいて高電圧環境を駆動すると、電圧インタフェース回路は分岐回路とMOSトランジスタの新規な井戸バypassを採用する。高電圧の振れにおいて高電圧環境を駆動するために、電圧インタフェース回路は、高電圧を供給されるバイパス・バック・トランジスタをbypassするためのバイパス回路を採用する。応用の例として、電圧インタフェース・バックアップは3ボルトまたは3.3ボルト集積回路チップがTTLとCMOS電圧レベルを駆動することを可能にする。更に、電圧インタフェース・バックアップは2ボルト集積回路チップがTTL電圧レベルを駆動することを可能にする。



【特許請求の範囲】

【請求項1】 第1の電源電圧 (VCC) とその電圧より高い第2の電源電圧 (VCC*) へ結合され、VCC* とVCCの差にほぼ等しいバイアス信号を発生するバイアス発生器回路と、

CC* にほぼ等しい電圧の振れを持つパッド・ノードと結合され、パッド・ノードをVCC* 電圧の振れへ曝す。パッド・ノード上の電圧を抽出し、前記バイス信号を用いて集積回路をパッド・ノードのVCC* 電圧の振れから分離する出力回路と、パッド・ノード上の電圧を抽出し、前記バイス信号を用いて集積回路をパッド・ノードのVCC* 電圧の振れから分離する入力回路と、を分離する。第1の電源電圧で動作する集積回路用電圧イミテータフエース回路。

【解説事項2】 高い電圧の振れを持つバッド・ノードへ接続され、バッド・ノードを低い電圧へ駆動し、集積回路をバッド・ノードの高い電圧の振れから分離する出力バッド・ノードの低い電圧の振れから分離する出力フルアップ回路と、

バンド・ノードへ結合され、出力プルアップ回路を高い電圧の振れおよび出力可能化信号に従って充電する出力プルアップ制御回路と、バンド・ノード上の電圧を抽出し、集積回路をバンド・ノードの高い電圧の振れから分離する入力回路と、偏る、高い電圧の振れから集積回路を保護する電圧スタブフェース回路。

【請求項3】 第1の電源電圧 (VCC) とその電圧より高い第2の電源電圧 (VCC*) の差にほぼ等しいバース信号を発生する過程と、
VCC* 電圧の振れへ駆動し、その間にバース信号を用いて集積回路をバッド・ノードのVCC* 電圧の振れから分離する過程と、
バッド・ノード上の電圧を検出し、その間にバース信号を用いて集積回路をバッド・ノードのVCC* 電圧の振れから分離する過程と、
備える、第1の電源電圧 (VCC) で動作する集積回路をインタフェースする方法。

【発明の詳細な説明】

【0001】本発明は集積回路の分野に関する産業上の利用分野】本発明は集積回路に関するものである。更に詳しくいえば、本発明は集積回路をパ
およびより高い電圧範囲を持つ回路へインタフェース
ことに關するものである。

[0002]

従来の技術】集積回路のトランジスタ密度および速度を高くするために、回路設計者は集積回路上に製造されるトランジスタの物理的寸法を小さくしている。トランジスタ密度を高くすると、集積回路の機能をより高くす

ことが可能になる。しかし、集積回路のトランジスタの物理的寸法を小さくすると、集積回路の電源電圧もそれと対応して低くなる。たとえば、より新しい世代の高密度集積回路に実装されている金属酸化半導体(MOS)トランジスタのチャネル長は、古い世代の集積回路のMOSトランジスタのチャネル長より短く製造される。しかし、新しい世代のより薄いゲート酸化層は、厚いゲート酸化層を持つ従来の世代の厚い電圧レベルに耐えることができない。

【0003】その結果、新しい世代のMOS集積回路は、以前の世代のものより低い電源電圧で動作する。たとえば、新しい世代のMOS集積回路の多くは、以前の世代において共通の5Vではなくて3.3Vの電源電圧で動作する。しかし、多くの用途においては、低い電源電圧で動作する集積回路により高い電圧で動作する装置およびバスとインタフェースさせねばならない。低電圧集積回路が高電圧環境に結合されるものとする、低電圧MOSトランジスタの薄いゲート酸化物層が徐々に劣化する。そうすると集積回路の信頼性が低くなり、最終的には故障する。

【0004】ここで、集積回路のパッドのための典型的な従来の三状態入/出力回路が示されている図を参照する。出力データ番号101がトランジスタQ10、Q11、Q12のゲートに結合される。出力可能化バー信号(OE)102がトランジスタQ11、Q15のゲートに結合される。出力データ番号103、Q14のゲートに結合される。出力可能化(OE)信号105がトランジスタQ13、Q14のゲートに制御する。出力回路はプルアップトランジスタQ16とプルダウントランジスタQ17を有する。トランジスタQ15のn井戸106が電源電圧VCCに結合される。入力回路はプルアップトランジスタQ18とプルダウントランジスタQ19で構成される。

【0005】従来の回路が正しく動作するために、電圧源V_{CC}には出力バッファ102における電圧より高い電圧、それと等しい電圧、出力バッファ102における電圧は共通モード107における電圧より高い電圧、それと等しくなければならない。V_{CC}電圧源より高い電圧の値を有するバスその他の要素へ出力バッファ102が結合されるものとすると、従来の回路は含まれていないトランジスタのゲート酸化物層は増大しやすくなる。フルタイムトランジスタQ18とフルタイムトランジスタQ19は破壊しやすい。また、トランジスタQ16のドレインから、トランジスタQ16のp井まで、およびV_{CC}電圧ノード100まで導通が存在する。

【0006】低電圧集積回路を高電圧環境へインタフェースする従来の1つの技術は、低電圧環境と高電圧環境の間のバッファとしてインタフェース・チップを使用することである。しかし、そのようなインタフェース・チップは低電圧集積回路との間の信号のやり取りを大きく

トランジスタQ58はP_{bias}部のための電流源である。トランジスタQ59、Q60、Q62、Q64は電流源により制御される電流ミラーである。P_{bias}部150の電圧は電源電圧VCCと電源電圧VCC*の差にほぼ等しい。後で詳しく説明するように、P_{bias}部150は入力部と出力部に含まれているトランジスタを保護するために用いられる。

【0024】図4はトランジスタQ40～Q57で構成された出力部を示す。三状態モードはOE182とOE180により決定される。OE180はOE182の補数である。この回路が三状態モードにあると、OE182は低く、OE180は高い。出力部は集積回路のピンのための出力データを出力データノード162に変換する。出力部は出力データノードにおける出力データを駆動する。

【0025】nチャネル・トランジスタQ56はプルダウンチャネル・トランジスタQ57を過電圧から保護する。トランジスタQ56のゲートはノード152におけるVCCへ結合される。出力データノード172における電圧が5Vに達したとしても、トランジスタQ56はノード158が約2V以上に上昇することを阻止する。その結果、出力データノード172とノード158間の最高電圧は約3Vである。出力データノード172とノード152間トランジスタQ56の最高ゲート駆動電圧は3.3V（出力データノード172が0Vの時）、または1.7V（出力データノード172が5Vの時）である。

【0026】同様にして、pチャネル・トランジスタQ55はpチャネルプルアップトランジスタQ54を過電圧から保護する。トランジスタQ55のゲートはP_{bias}へ結合される。トランジスタQ55のゲートにおけるP_{bias}電圧レベルにより、トランジスタQ54、Q55のゲート駆動電圧は3.3V以下に維持される。

【0027】トランジスタQ40～Q53は、出力データノード162におけるVCC電圧の振れと出力データノード172におけるVCC*電圧の振れとの間の差レベル変換器として機能する。出力データノード162における高電圧はnチャネル・トランジスタQ45、Q52をターンオンしてノード174と168を引き下げ、出力データノード162における低電圧はpチャネル・トランジスタQ46、Q47をターンオンしてノード174と168を引き上げる。ノード174における高電圧はnチャネル・トランジスタQ44をターンオンする。その結果として電流がpチャネル・トランジスタQ41とnチャネル・トランジスタQ42を流れる。ノード164における電圧が引き下げられる。トランジスタQ48をターンオンさせる。

【0028】トランジスタQ48とQ54をターンオンするため、トランジスタQ40とQ48はノード16

4と170における電圧を回復させる。トランジスタQ48がターンオンすると、トランジスタQ48を流れる電流がトランジスタQ49、Q50、Q51に電流を流させる。そうすると、ノード168は高くされる。ノード168における高電圧はトランジスタQ57をターンオンして出力データノード172を引き下げる。トランジスタQ48を流れる電流はノード170も高くする。ノード170における高電圧レベルはトランジスタQ54をターンオンする。

【0029】出力データノード162が高電圧になると、トランジスタQ52はターンオンしてノード168を引き下げる。ノード168における低電圧はトランジスタQ57をターンオフする。ノード170がVCC*より低い電圧になると、トランジスタQ54はターンオンする。ノード170における低電圧はトランジスタQ40もターンオンし、トランジスタQ48をターンオフする。

【0030】図5は入力部を示す。この入力部はトランジスタQ56～Q71で構成される。入力データノード156と158から取り出される、pチャネル・トランジスタQ67、Q68と、nチャネル・トランジスタQ69、Q70は、ノード156、168におけるVCC*電圧の振れと、ノード160におけるVCC電圧の振れとの間のレベル変換器として機能する。nチャネル・トランジスタQ69はnチャネルプルダウントランジスタQ70を保護する。トランジスタQ69のゲートはVCCへ結合される。pチャネル・トランジスタQ68はpチャネルプルアップトランジスタQ67を保護する。トランジスタQ68のゲートはP_{bias}150へ結合される。

【0031】ノード154における電圧が低い時は、pチャネル・トランジスタQ65は入力データノード160における電圧を引き上げる。ノード154における電圧が高い時は、トランジスタQ66は入力データノード160における電圧を引き下げる。pチャネル・トランジスタQ71はノード154へ搬送を行うために結合される。トランジスタQ71は全VCC電圧の振れをノード154へ供給する。

【図面の簡単な説明】

【図1】集積回路のための典型的な従来の入力/出力回路と、高電圧を受けた時に破壊されやすいトランジスタを示す。

【図2】VCC電源電圧で動作する集積回路をより高い電圧環境へインタフェースするための電圧インタフェース回路の一実施例を示す。

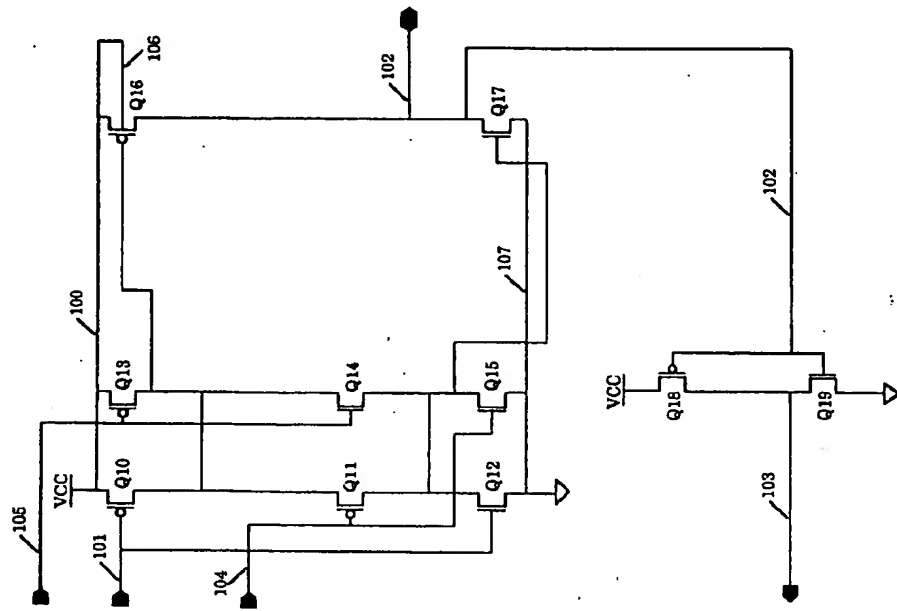
【図3】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるようにする電圧インタフェース回路の一実施例を示す。

【図4】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるようにする電圧インタフェース回路の別の実施例を示す。

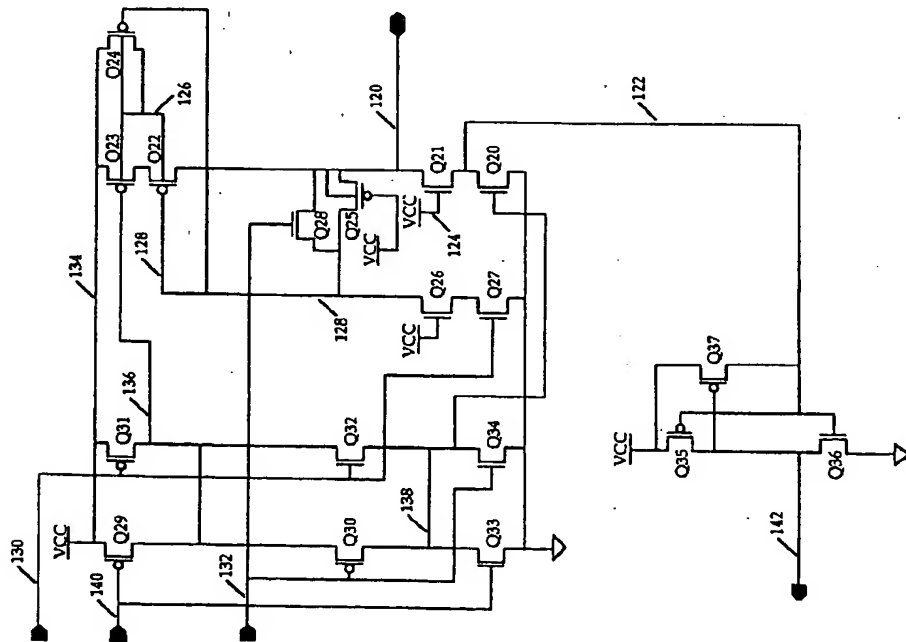
にする電圧インタフェース回路の別の実施例を示す。

【図5】VCC電源電圧で動作する集積回路がより高いVCC*電圧の振れの回路またはバスを駆動できるようにする電圧インタフェース回路の更に別の実施例を示す。

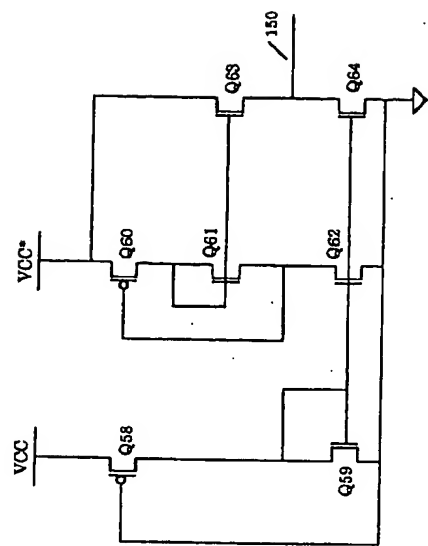
【図1】



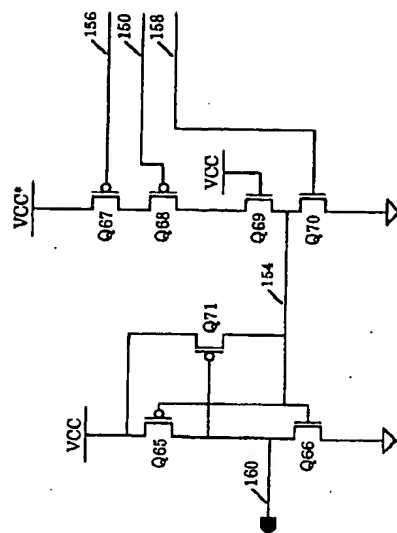
【図2】



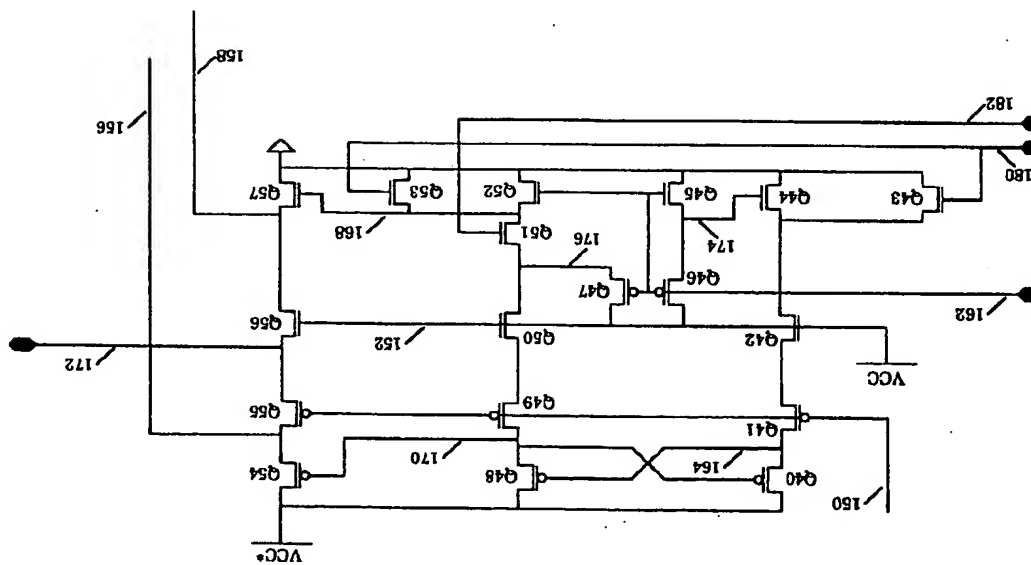
【図3】



【図5】



【図4】



フロントページの続き

(51) Int. Cl. 5

H03K 19/003

識別記号 庁内整理番号

F 1

技術表示箇所

E 8841-5 J